

Sigma Delta 调制器高效行为级建模

许金波¹, 陈晓飞¹, 刘占领¹, 林双喜², 李思臻¹

(1 华中科技大学 电子科学与技术系, 湖北 武汉 430074; 2 武汉工程大学 电气信息学院, 湖北 武汉 430073)

摘要: 提出一种宏模型和 Verilog-A 模型相结合的方法对两阶、1 位量化的 Sigma Delta 调制器进行建模. 对调制器中的关键模块采用宏模型建模, 对功能性模块采用 Verilog-A 描述. 在 Cadence 环境下, 基于华虹 NEC 0.25 μm CMOS 工艺对模块进行设计和仿真, 并与实际电路模块仿真结果和仿真时间进行对比, 给出两种情况下调制器总体电路的 SNR 仿真结果. 结果显示: 这种建模方法既达到了较高的精度, 又取得了较快的仿真速度.

关键词: 宏模型; Verilog-A; Sigma Delta 调制器; 行为级; 建模

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2010)07-0069-05

Efficient Behavioral Modeling of Sigma Delta Modulator

XU Jin-bo¹, CHEN Xiao-fei¹, LIU Zhan-ling¹, LIN Shuang-xi², LI Si-zhen¹

(1 Department of Electronic Sci. & Tech., Huazhong Univ. Sci. & Tech., Wuhan 430074, China;

2 School of Electric and Information Engineering, Wuhan Institute of Technology, Wuhan 430073, China)

Abstract: Behavioral modeling of the second-order, one-bit quantizer modulator using a method of macro-model combined with Verilog-A model is presented. The key modules of the modulator are modeled in macro-model and the functional modules are described in Verilog-A. The modules are designed and simulated in the Cadence environment based on Huahong NEC 0.25 μm CMOS process. The results and time of the simulation of the modules' are compared with the circuit's, and the SNR of the overall circuit of the modulator in both conditions are presented. The results show that this method of modeling could achieve a higher accuracy and faster simulation speed.

Key words: macro-model; Verilog-A; sigma delta modulator; behavioral; model

1 引言

Sigma Delta 调制器利用过采样技术和噪声整形技术, 极大地降低了信号带宽内的噪声, 提高了信噪比^[1]. 由于 Sigma Delta 调制器本身所固有的非线性, 使得其基于数学模型的系统级设计在物理上是难以实现的, 因此就需要使用行为级建模来连接系统级与物理层. 它主要的优点就是在加快仿真速度的同时, 为电路的设计提供比较精确的 SPEC(系统性能评估测试), 使所建模型更加接近物理实现. 用行为级进行时域下的仿真可以很大程度上优化调制器的性能^[2], 为对一个高性能的系统实现精确的仿真, 可以对一些非线性进行精确建模, 并对几种建模

方法得出的结果进行比较, 以选择最好的仿真方式.

本文以两阶、1 位量化的 Sigma Delta 调制器的建模为例, 在系统级设计提供的 SPEC 的基础上, 应用宏模型和 Verilog-A 相结合的方法对其进行行为级建模. 结果显示: 这种建模方法仿真所得到的 SNR 与实际电路的仿真结果非常接近, 仿真时间比全部由宏模型搭建的系统减少了约 3/4.

2 行为级模型概述

目前比较常用的行为级建模方法有三种: 基于电路的宏模型、Verilog-A 和 MATLAB 下的 SIMULINK 模型, 它们各自的优缺点和实现难度如表 1 所示.

收稿日期: 2009-08-12; 修回日期: 2009-10-12

基金项目: 中国博士后科学基金项目(20080440933)

表 1 三种行为级建模方式的对比

描述方式	速度	精度	实现
SIMULINK	快	低	难
Verilog-A	中	中	易
宏模型	慢	高	易

MATLAB 描述方式用基于类似 C 语言的数学模型来构建调制器模型,目前常用的是基于 MATLAB 的 SIMULINK 模型^[3],该模型主要优点是可以直接调用 MATLAB 下的完全抽象于物理层之上的通用模块,所以该模型的仿真速度快,但精度差,且难以在电路仿真器中实现. Verilog-A 也是基于 C 语言,被广泛应用于混合信号领域,可以直接在电路仿真器上执行^[4]. 其最大缺点就是操作不便捷(需要熟悉代码语言),且难以达到较高精度,难以应用于需要对模型进行精确估算的场合. 宏模型^[5]是基于 SPICE (Simulation Program with Integrated Circuit Emphasis)模型的,在 Top-Down(自顶向下)设计中应用非常广泛. 由于宏模型是基于晶体管级的模型,可以确定电路的结构,直观地反映出电路的静态和动态特性,并可以用仿真器对宏模型进行仿真. 另外,宏模型常用电阻、电容等无源器件和电压/电流控制电压/电流源等受控元件搭建,因此与电路的实际实现差别较小,这一特点使得宏模型非常适合高精度的电路建模. 也正是由于宏模型基于底层的晶体管,仿真器的运算量很大,仿真速度也较慢.

3 Sigma Delta 调制器行为级建模

3.1 Sigma Delta 调制器行为级模型

本文的建模应用于低功耗、高安全型无线传感网络 SOC 节点芯片的 Sigma Delta 调制器的设计. 根据芯片需求,输入信号频率为 4~32kHz、采样时钟频率为 4MHz、分辨率为 8~14 位、功耗 0.9mW. 一个 L 阶的 Sigma Delta 调制器的量化噪声功率和最大信噪比分别为

$$\begin{aligned}
 P(e_q) &= \int_{-f_B}^{f_B} \frac{\Delta^2}{12f_s} [2^L \sin^2(\frac{\pi f}{f_s})]^L df \\
 &\approx \frac{\Delta^2}{12f_s} \int_{-f_B}^{f_B} [2^L (\frac{\pi f}{f_s})^2]^L df \\
 &= \frac{\Delta^2}{12} \frac{\pi^{2L}}{2L+1} \frac{1}{OSR^{2L+1}}
 \end{aligned} \quad (1)$$

最大信噪比为

$$\begin{aligned}
 SNR_{\max} &= 6.02N + 1.76 + 10 \lg \frac{2L+1}{\pi^{2L}} + \\
 &\quad 10(2L+1) \lg OSR
 \end{aligned} \quad (2)$$

由式(1)、(2)可知,对于 L 阶的 Sigma Delta 调制器,OSR 每增加一倍,SNR 增加 $6L + 3\text{dB}$,分辨率提高 2.5 bit. 量化器位数越多,虽然 SNR 越大,但非线性也越严重. 综合上述情况,选择二阶、1 bit 量化的调制器结构. 其行为级模型如图 1 所示.

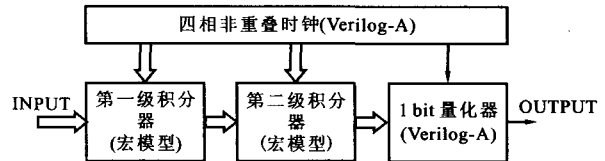


图 1 调制器行为级模型

根据前面讨论的几种行为级建模方式的优缺点和实现难易程度,同时考虑到运算放大器是 Sigma Delta 调制器中最为关键的电路模块^[6],运放的性能直接影响调制器的性能,因此必须对运放进行精确的建模,以实现调制器系统的最优化. 对于精度要求较低的电路模块,如 1 bit 量化器和时钟产生电路用 Verilog-A 建模,以实现速度优势和仿真易操作性. 基于上述考虑,本文采用宏模型与 Verilog-A 模型相结合的方式对调制器进行行为级建模.

3.2 全差分运放宏模型

建立运放宏模型的前提是必须确定运放电路的负载,而 Sigma Delta 调制器中运放的负载主要为容性负载,其值的大小主要决定于采样电容(积分器增益为定值). 确定了运算放大器的负载电容后,就可以进行宏模型的搭建,而不必知道电路的具体实现. 根据调制器系统级设计的要求^[7],当系统的建立时间为 50ns、精度为 0.1% 时,可以估算出直流增益为 72dB,单位增益带宽为 44MHz,因此一个典型的双端输出的全差分运算放大器能较好地满足以上的要求. 本文所建的宏模型如图 2 所示,输入级模型中包括同向端和反向段的寄生电阻、电容,以及输入容、阻抗 C_{IN} 、 R_{IN} ; SR 模型原理的实质是对电容 C_P 和 C_N 进行限流;输出摆幅模型可以把输出电压限制在 V_{OL} 和 V_{OH} 之间^[8].

3.3 1 bit 量化器 Verilog-A 模型

Sigma Delta 调制器中的 1bit 的量化器在实际电路中相当于比较器,由于调制器的噪声整形大大削弱了量化噪声,因此比较器的失调和延迟对 Sigma Delta 调制器的性能影响不大. 在比较器进行行为级描述时,可以不对其精确建模,只需描述出功能即可. 其 Verilog-A 描述如下:

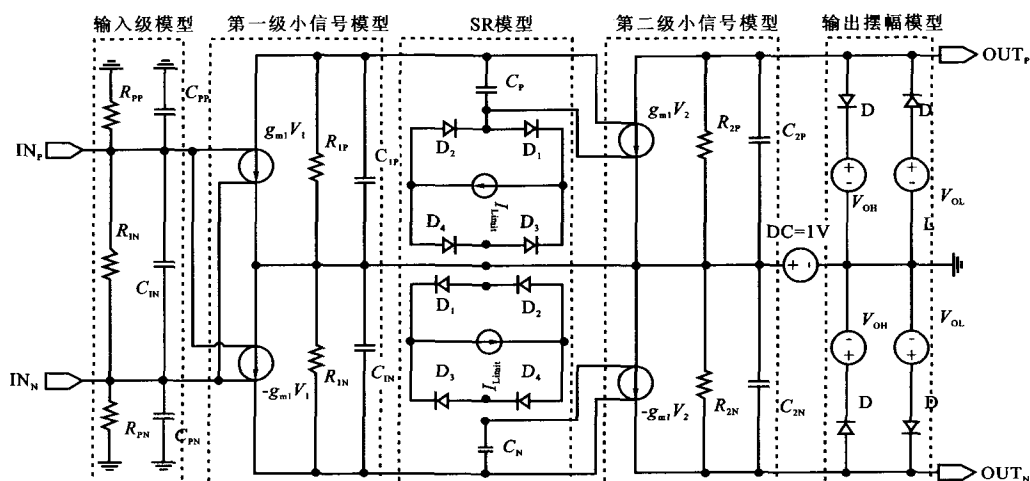


图2 全差分运放宏模型

度为 65.4 度。可以看出,宏模型与实际电路的仿真结果非常接近,能精确有效地指导电路设计。

```

#include "discipline.h"
#include "constants.h"
module comp_ideal (vin_p, vin_n, enable, vout);
    input vin_p, vin_n, enable;
    output vout;
    electrical vin_p, vin_n, enable, vout;
    parameter real td=0.0u from (0:inf);
    parameter real trise=1.0n from (0:inf);
    parameter real tfall=1.0n from (0:inf);
    parameter real vth=1.25;
    parameter real slack=10.0p from (0:inf);
    real vin, outstate;
    analog begin
        @ (initial_step("ac", "dc", "tran")) begin vin = V(vin_p) - V(vin_n); outstate = (abs(vin) > 0.0) ? 0 : 2.5; end
        vin = V(vin_p) - V(vin_n);
        @ (cross(vin, +1, slack)) begin if (V(enable) > vth) begin outstate=2.5; end end
        @ (cross(vin, -1, slack)) begin if (V(enable) > vth) begin outstate=0.0; end end
        V(outstate) <+ transition(outstate, td, trise, tfall);
    end
endmodule

```

4 电路设计与仿真分析

本文所提出的调制器行为级建模中运放的实际电路如图3所示。 V_{b1} 和 V_{b2} 是外接偏置电压, I_{BIAS} 是从电流源模块引入的偏置电流,共模反馈电路采用开关电容结构,这里不再详述。图4是在Cadence环境下,基于华虹NEC 0.25 μm 工艺得出的全差分运放的宏模型与实际电路仿真结果对比图。从图4(a)中可看出,宏模型的增益为72dB,带宽为41.6MHz,相位裕度为62度;图4(b)中全差分运放的低频增益为72.7dB、GBW为49.8MHz、相位裕

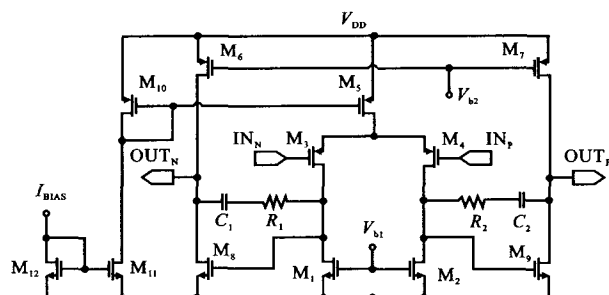
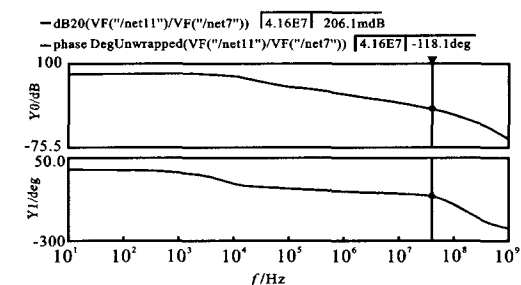
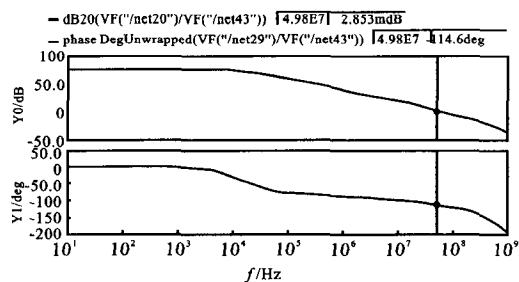


图3 全差分运放电路



(a) 全差分运放宏模型的行为级仿真结果



(b) TT工艺角下全差分运放仿真结果

图4 全差分运放仿真结果对比

根据系统级对比较器速度方面的要求,本文所依据的Sigma Delta 调制器设计的高速比较器如图5所示。比较器的仿真结果对比如图6所示,比较器

在时钟的上升沿时进行比较,在时钟电平为低时,锁存比较阶段的信号。

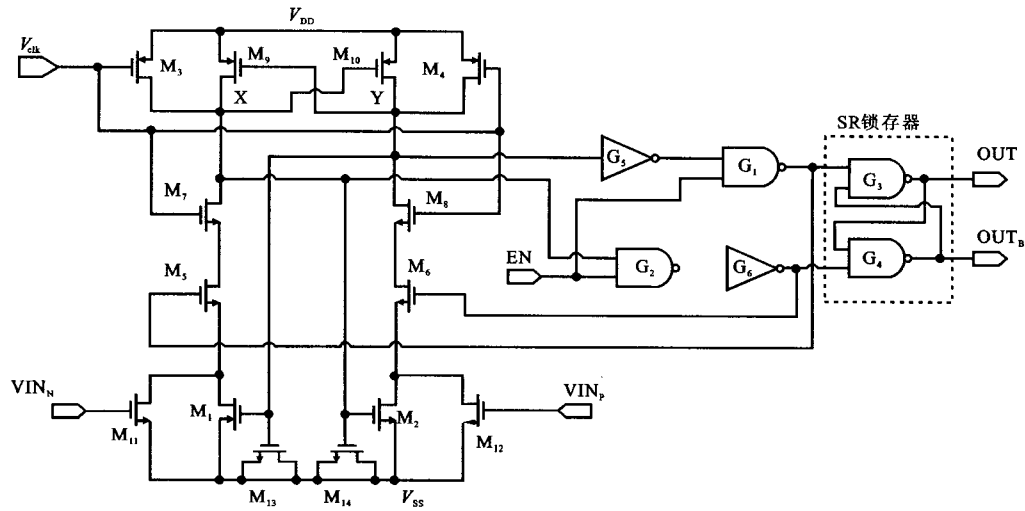
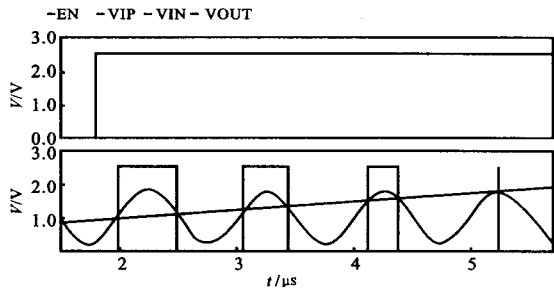
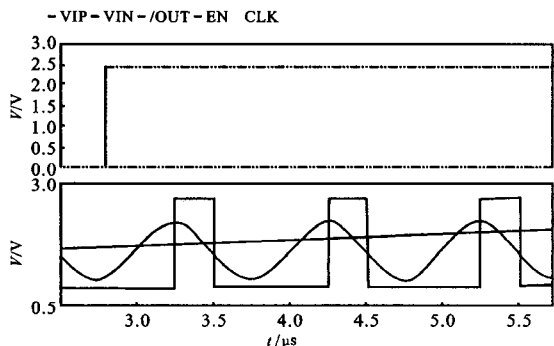


图 5 高速动态锁存比较器电路



(a) 比较器宏模型的行为级仿真结果

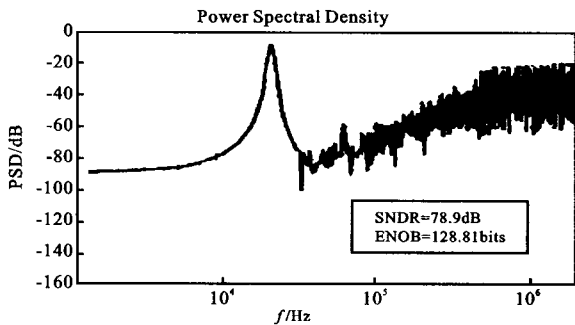


(b) TT工艺角下比较器的仿真结果

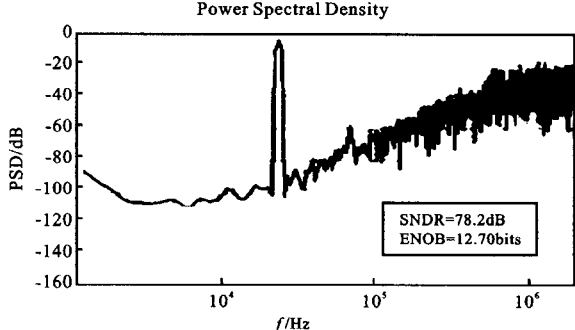
图 6 比较器仿真结果对比

将时域下的输出波形导入到 MATLAB 中进行 SNR 计算.行为级模型下和实际电路的 SNR 仿真结果如图 7 所示,可以看出,对于 20kHz 的输入信号,行为级模型和实际电路的有效位分别达到 12.81 和 12.70.对比图 7(a)、(b)可知,实际电路与行为级模型的仿真结果相差很小,这就充分证明了本文所采用的行为级建模的精确性。

本文所提出的行为级模型与全部模块由宏模型搭建的调制器模型,以及实际调制器电路,同时在



(a) 行为级模型下的调制器SNR仿真结果



(b) 实际电路的调制器SNR仿真结果

图 7 调制器 SNR 仿真结果对比

Cadence 环境下进行 1.5ms 的时域仿真,仿真时间对比如表 2 所示.可以看出本文提出的宏模型和 Verilog-A 模型相结合的行为级建模方法,在达到较高精度的同时,也取得了较快的仿真速度。

表 2 仿真时间对比

建模类型	仿真时间/hr
宏模型 & Verilog-A	14
宏模型	59
实际电路	70

5 结束语

文中提出了一种基于两阶、1 位量化的 Sigma Delta 调制器的高效行为级建模方法,即宏模型与 Verilog-A 模型相结合的方法,对关键模块进行宏模型建模,对功能性模块进行 Verilog-A 描述,与实际电路进行仿真对比.结果显示,这种建模方法既达到了较高的精度,又取得了较快的仿真速度.

参考文献:

- [1] 沈佳铭,洪亮,石春琦,等.一种可重构的 24bit $\Sigma\Delta$ 调制器的设计[J].微电子学与计算机,2007,24(4):159-162.
- [2] Piero Malcovati, Simona Brigati, Francesconi, et al. Behavioral modeling of switched-capacitor sigma-delta modulators[J]. IEEE Transactions on Circuits and Systems, 2003, 50(3): 352-364.
- [3] Brigati S, Francesconi F, Malcovati P, et al. Modeling sigma-delta modulator non-idealities in Simulink[J]// IEEE Pro. ISCAS'99. USA: Orlando, 1999(2): 384-387.

- [4] Geoffrey J Coram. How to (and How not to) write a compact model in VERILOG-A[C]// Proc. 2004 IEEE International Behavioral Modeling and Simulation Conference (BMAS 2004). California, 2004: 97-106.
- [5] Batra R, Li P, Pileggi L, et al. A methodology for analog circuit macro-modeling[C]// IEEE International Behavioral Modeling and Simulation (BMAS) Conference. California, 2004: 41-46.
- [6] Nance Ericson M. High-Temperature, high-resolution A/D conversion using 2nd- and 4th-order cascaded $\Sigma\Delta$ Modulation in 3.3V 0.5 μm SOS-CMOS[D]. Knoxville: The University of Tennessee, 2002.
- [7] 褚子乔,王东辉,侯朝焕.高性能连续时间 Sigma-Delta 调制器系统级设计[J].微电子学与计算机,2008,25(8): 45-47.
- [8] Phillip E Allen, Douglas R Holberg. CMOS 模拟集成电路设计[M].2版.冯军,李智群,译.北京:电子工业出版社,2005: 259-271.

作者简介:

许金波 男,(1987-),硕士研究生.研究方向为模拟及数模混合集成电路设计.

(上接第 68 页)

参考文献:

- [1] 顾大权,左莉,侯太平,等.“匈牙利法”存在的问题及改进方法[J].微机发展,2003,13(4):76-78.
- [2] 杨冬,王正欧.改进的蚂蚁算法求解任务分配问题[J].天津大学学报,2004,37(4): 373-376.
- [3] 殷人昆,吴阳,张晶炜.蚁群算法解决指派问题的研究和应用[J].计算机工程与科学,2008(4):43-45.
- [4] 高尚,杨静宇,吴小俊.求解指派问题的交叉粒子群优化算法[J].计算机工程与应用,2004,40(8): 54-55.
- [5] 谈文芳,赵强,余胜阳,等.改进粒子群优化算法求解任务指派问题[J].计算机应用,2007,27(12):2892-2895.
- [6] Eberhart R, Kennedy J. A new optimizer using particle swarm theory[C]// Proc of the 6th Int Symposium on Mi-

cro Machine and Human Science. New York: IEEE, 1995: 39-43.

- [7] 杨明,李陶深.一种基于粒子群优化的多 QoS 约束选播路由算法[J].微电子学与计算机,2008,25(9):13-45.
- [8] 张雯,杨春明,罗雪春,等.改进的粒子群优化算法[J].微电子学与计算机,2007,24(2):70-72.

作者简介:

孙晓雅 女,(1972-),博士研究生,副教授.研究方向为智能优化与运筹学.

林 焰 男,(1963-),博士,教授,博士生导师.研究方向为船舶与海洋结构物设计与制造.